第1章

FPGAのI/O端子を理解して使っていますか

―― 振幅調整やインピーダンス調整，伝送規格への対応が可能

三上廉司

FPGAのI/O端子は出力電流や出力信号の形態を選択できる．その反面，そのしくみを理解しないで使っていると思わぬむだやトラブルが生じることがある．ここでは，米国Altera社の「Cyclone Ⅱ」と米国Xilinx社の「Spartan-3」を例に，FPGAのI/O端子のしくみや機能を簡単に整理する．（編集部）

高性能化と低価格化は，エレクトロニクス分野とそれを支える半導体技術の要であり，これを実現するものがプロセスの微細化技術です．今日のプロセス技術は，90nmからさらに65nmを目ざして進んでいます．そしてこのような微細化に伴いLSIの動作電圧も低くなっています．FPGAのコア電圧も90nmの場合は1.2V，65nmではさらに1Vと低下しています．

これに対してI/O端子は，さまざまなインターフェース規格を満足させるために，つまり，より高い電圧振幅を入出力するために，コアとは別の電源電圧を必要とします．また，周辺回路にはFPGAのサポート外の電圧振幅のインターフェースも存在します．

今日のシステムでは，基板上にコア電源やI/O端子用電源，周辺回路用電源と，複数の異なる電源電圧が存在します．また，異なる電圧振幅や異なる規格信号をもつLSIを相互にインターフェースしなければなりません．その接続を誤ると回路動作に問題が生じ，最悪の場合にはデバイスの破壊に至ることがあります．

FPGAの進化は高集積度化の歴史といえますが，これは同時に基板上の周辺LSIを内部へ取り込んできた歴史でもあります．最近のFPGAはマイクロプロセッサをハード・マクロで内蔵したり，積和演算ブロックを活用してディジタル信号処理を実現できます．またさまざまなI/O機能をプログラマブルに実現できるため，多くのデバイスと直接インターフェースできます．しかし，最近のFPGAでは，I/O端子の電圧振幅が5Vといった古い（？）規格はサポートしていません．このような場合，トレラント入出力で使うことになりますが，各デバイスのアプリケーション・ノートに書かれた条件を守って使う必要があります．

ここでは米国Altera社の「Cyclone Ⅱ」と米国Xilinx社の「Spartan-3」を例にとって考えてみます．

● FPGAのI/O端子の形態は柔軟に設定できる

Spartan-3は，**表1**に示す18種のシングルエンド規格と8種の差動規格を持ちます．また，FASTとSLOWの二つのスルー・レートの設定ができるうえ，LVTTLとLVCMOSの駆動電流は，2mAから24mAまで，7段階に選択できます（**表2**）．信号振幅範囲は1.14Vから最大3.45Vまでの設定が可能です．

Altera社のCyclone Ⅱでもほぼ同じI/O規格をサポートしています．しかし，例えばシングルエンド規格ではLVCMOS12がCyclone Ⅱになく，差動規格ではHSTL-15がSpartan-3にないなどの相違がありますから，データシートで確認してから使う必要があります．

両者のデバイスに共通する使用上の注意は，各デバイスは複数のI/Oバンクを持っており，そのバンクごとに異なるV_{CCO}を設定したり，サポートするI/O標準が少しずつ異なっている点です．

KeyWord
トレラント入出力，Cyclone Ⅱ，Spartan-3，ESD，クランプ・ダイオード，LVCMOS33，DCI，IBISモデル，Xilinx Anser，ターミネーション

表1[1] Spartan-3は，18種のシングルエンド規格と8種の差動規格を持つ

規　格	説　明	V_{CCO} [V]	クラス	シンボル (IO STANDARD)	DCI オプション
シングルエンド					
GTL	gunning transceiver logic (ガンニング・トランシーバ・ロジック)	—	終端	GTL	あり
			プラス	GTLP	あり
HSTL	high speed transceiver logic (高速トランシーバ・ロジック)	1.5	I	HSTL_I	あり
			III	HSTL_III	あり
		1.8	I	HSTL_I_18	あり
			II	HSTL_II_18	あり
			III	HSTL_III_18	あり
LVCMOS	low voltage CMOS (低電圧CMOS)	1.2	—	LVCMOS12	なし
		1.5	—	LVCMOS15	あり
		1.8	—	LVCMOS18	あり
		2.5	—	LVCMOS25	あり
		3.3	—	LVCMOS33	あり
LVTTL	low voltage TTL (低電圧TTL)	3.3	—	LVTTL	なし
PCI	peripheral component interconnect (ペリフェラル・コンポーネント・インターコネクト)	3.0	33MHz	PCI33_33	なし
SSTL	stub series terminated transceiver logic (スタブ・シリーズ・ターミネーテッド・ロジック)	1.8	—(±6.7mA)	SSTL18_I	あり
			—(±13.4mA)	SSTL18_II	なし
		2.5	I	SSTL2_I	あり
			II	SSTL2_II	あり
差　動					
LDT (ULVDS)	lightning data transport (ハイパー・トランスポート)	2.5	—	LDT_25	なし
LVDS	low voltage differential signaling (低電圧差動信号)		標準	LVDS_25	あり
			バス	BLVDS_25	なし
			拡張モード	LVDSEXT_25	あり
LVPECL	low valtage positive emitter coupled logic (低電圧ポジティブ・エミッタ・カップル・ロジック)	2.5	—	LVPECL_25	なし
RSDS	reduced switching differential signaling (低振幅差動信号)	2.5	—	RSDS_25	なし
HSTL	high speed transceiver logic (差動高速トランシーバ・ロジック)	1.8	II	DIFF_HSTL_II_18	あり
SSTL	stub series terminated transceiver logic (差動スタブ・シリーズ・ターミネーテッド・ロジック)	2.5	II	DIFF_SSTL2_II	あり

図1は，Altera社のCyclone IIファミリである「EP2C5」と「EP2C8」のI/Oバンクの配置で，パッケージの上下と左右に配置されています．両社ともさらに大きな品種では，8バンクのデバイスもあります．また各バンクにはそれぞれクロックやV_{CC}，V_{SS}，V_{CCO}，I/O端子があります．バンクごとに異なった特性があるので，仕様に応じてデバイスの上下左右のいずれのバンクの端子を使うかを十分に調べておく必要があります．

さて，Xilinx社のSpartan-3は，最大3.3Vの信号振幅のI/O規格をサポートしますが，5V振幅の信号のサポートはありません．図2はSpartan-3のI/O端子付近の内部回路です．I/O端子のパッドの直近には，出力用にプルアップ抵抗とプルダウン抵抗が接続され，これにはクランプ・ダイオードが並列に接続されています．このクランプ・ダイオードは，ESD (electrostatic discharge；静電気放電)や過電圧からI/O端子を保護しています．I/O端子は，この上側のクランプ・ダイオードを経由してV_{CCO}に接続されています．

表2[1] LVTTLとLVCOMSの駆動電流値

2mAから24mAまで7段階に選択可能．

信号規格 (IO STANDARD)	駆動電流［mA］						
	2	4	6	8	12	16	24
LVTTL	✓	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	✓	✓
LVCMOS18	✓	✓	✓	✓	✓	✓	—
LVCMOS15	✓	✓	✓	✓	✓	—	—
VCMOS12	✓	✓	✓	—	—	—	—

● 十分にしくみを理解したうえで使おう

このI/O端子をLVCMOS33に設定して，5Vの信号を加えたらどうなるでしょうか．LVCMOS33ではV_{CCO}に3.0V

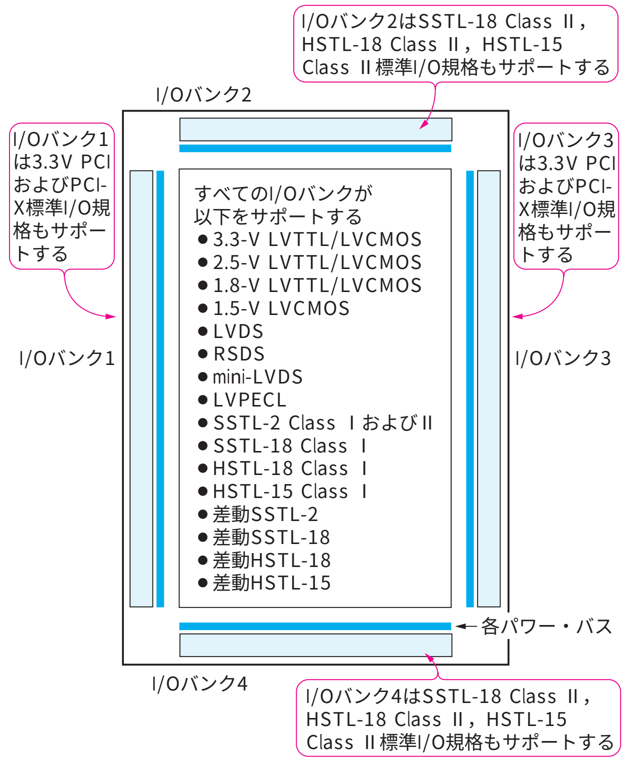


図1[3] EP2C5およびEP2C8のI/Oバンク
仕様に応じてI/Oバンクを使い分ける．

(最小)/3.45V(最大)を供給します．仮に供給電圧を3.3V，クランプ・ダイオードの順方向電圧を0.6Vとします．I/Oパッドに3.3V＋0.6V，つまり3.9V以上の電圧を加えると，上側のクランプ・ダイオードがONになり，I/OパッドからV_{CCO}に向かって逆方向電流が流れます．この上側のダイオードの電流が10mAを超えるとI/O端子は破壊されてしまいます．過振幅の信号印加は，このようにデバイスの破壊を招きます．

では，どうしても最大5Vの振幅の信号を接続したい場合にはどうしたらよいでしょうか．これは，I/O端子の直近の外部回路に電流制限抵抗を接続して，クランプ・ダイオードの電流を10mA以内に制限してやればだいじょうぶです．まずはI/O端子のIBIS(I/O buffer information specification)モデル(**図3**)から，クランプ・ダイオードを流れる電流値とダイオードの最大電圧降下の適当な値を勘案して，0.60Vとそのときの電流値5.51mAを得ます．続いて5V入力(V_{SRC}＝5V±10％)とI/Oパッド(V_{CCOMAX}＋V_d＝3.45V＋0.6V)間の最大電圧差を求めて5.5V－4.05V＝1.45Vの値を得ます．つまり，ダイオードの電流を5.51mAに制限して電圧降下を0.6Vに維持するには，R＝E/i＝1.45/0.00551＝263Ωとなり，外部接続抵抗値は263Ωが得られます．実際には，5%の誤差の標準抵抗を使うとして300Ωの抵抗を接続します．

```
[POWER_clamp]
voltage...I(typ)..........I(min)............I(max)

-1.50.....1.46A..........1.59A..........1.41A
-1.40.....1.21A..........1.33A..........1.16A
-1.30.....0.96A..........1.08A..........0.91A
-1.20.....0.71A..........0.84A..........0.66A
-1.10.....0.47A..........0.60A..........0.42A
-1.00.....0.25A..........0.38A..........0.21A
-0.90.....78.20mA.....0.18A..........53.88mA
-0.80.....14.96mA.....44.93mA.....18.61mA
-0.70.....6.69mA.......8.78mA.......10.98mA
-0.60.....2.80mA........2.96mA.......5.51mA
-0.50.....0.68mA........0.83mA......1.82mA
-0.40.....81.60uA.......0.14mA......0.29mA
-0.30.....5.30uA.........14.10uA.....20.82uA
-0.20.....0.24uA.........1.09uA.......0.86uA
-0.10.....13.24nA.......91.41nA.....72.27nA
0.00.....5.70nA.........29.91nA.....46.43nA
```

図3 I/O端子のIBISモデル
ダイオードの電圧降下を0.60Vとすると，そのときの電流値は最大5.51mA．

I/O端子に電流制限抵抗を接続することによって，LVCMOS33に設定したI/O端子に5V振幅の入力信号が接続できることになります．しかし，この端子を双方向で使用できるのでしょうか．答えは「ノー」です．外付け電流制限抵抗のため，外部の5V入力デバイスを駆動する能力はありません．つまり入力専用ということになります．

FPGAにおけるI/O端子の終端は，近年の多ピン化傾向によってやっかいな問題が生じています．とくに抵抗を基板上に実装するスペースの問題に困っています．では，ここでもういちど**図2**を参照してください．出力バッファとプルアップ/プルダウン抵抗の間にDCI(Digital Control Impedance)というモジュールがあります．これがプログラマブルにI/O端子のインピーダンスを制御して，伝送ラインとのインピーダンス整合を行い，反射を低減できます．

＊　＊　＊

このようにFPGAに搭載された機能を駆使することで，周辺デバイスとのインターフェースを行うことができます．しかし実際の設計では，「5Vのバス・ラインと相互接続したい」とか，「静電気放電で端子が破壊される」などやっかいな問題が発生します．その場合は，本特集で解説するさまざまなインターフェース用の素子を駆使していくことになります．

以上，駆け足で説明しました．なお，電流制限抵抗値の算出と実回路への応用については，使用するデバイスのIBISモデルを使ってシミュレーションを行いましょう．また，各メーカのデータブックやアプリケーション・ノート

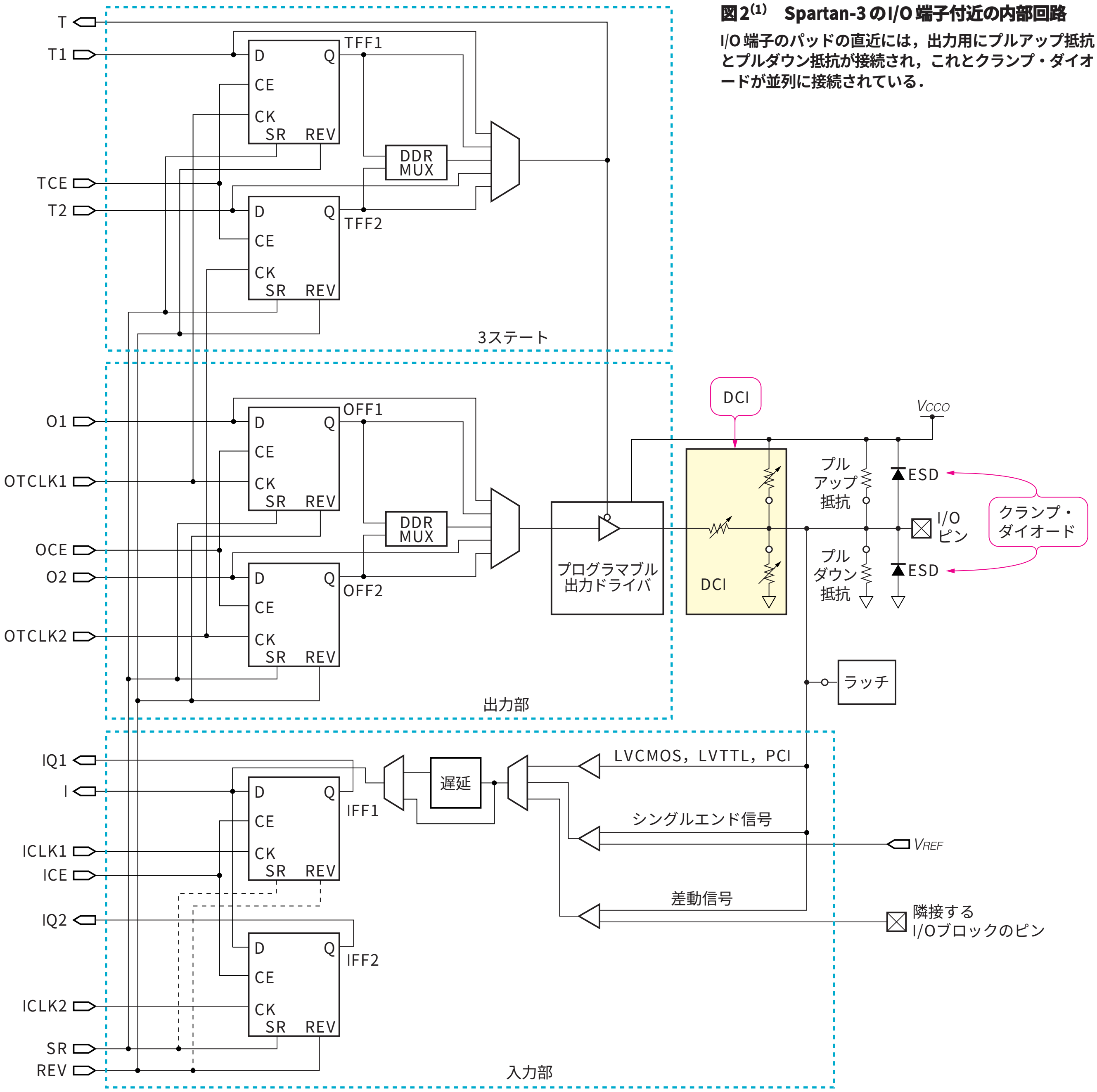


図2[1]　Spartan-3のI/O端子付近の内部回路

I/O端子のパッドの直近には，出力用にプルアップ抵抗とプルダウン抵抗が接続され，これとクランプ・ダイオードが並列に接続されている．

1

などを熟読することをお勧めします．

参考・引用*文献

(1) *Xilinx；Spartan-3 FPGAファミリ・データブック．
(2) Xilinx；Spartan-3 - Spartan-3/-3EのI/Oは5Vで使用できるか，Xilinx Answer #19146.
http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?BV_UseBVCookie＝yes&getPagePath＝19146
(3) *Altera；Cyclone IIアーキテクチャ．
http://www.altera.co.jp/literature/hb/cyc2/cyc2_cii51002_j.pdf
(4) Xilinx；Spartan-3/-Eの電力，IOファンクション，3.3Vコンフィグレーションの詳細資料．
http://www.xilinx.co.jp/products/spartan3e/sp3e_power.pdf

みかみ・れんじ　ミカミ設計コンサルティング

<筆者プロフィール>
三上廉司．1950年代の水瓶座生まれ，PLD/FPGAに関わること27年，まだ食えているのは皆さんのおかげです．次の時代を担うエンジニアの方々とエレクトロニクスで日本をもっともっと元気にしたいものです．